

明 細 書

増幅器並びに通信装置

技術分野

[0001] 本発明は、無線通信の送受信に用いられる増幅器並びに通信装置に係り、特に、例えばUWB(ウルトラワイドバンド)通信に適用され、受信信号の高周波成分の電圧増幅を行なう増幅器並びに通信装置に関する。

[0002] さらに詳しくは、本発明は、UWB通信で使用される広い周波数範囲において一括して増幅を行なう増幅器並びに通信装置に係り、特に、広い周波数範囲において平坦な増幅特性を備え、寄生容量による劣化を防止し、且つ群遅延時間が短い広帯域増幅器並びに通信装置に関する。

背景技術

[0003] 有線方式によるLAN配線からユーザを解放するシステムとして、無線LANが注目されている。無線LANによれば、オフィスなどの作業空間において、有線ケーブルの大半を省略することができるので、パーソナル・コンピュータ(PC)などの通信端末を比較的容易に移動させることができる。近年では、無線LANシステムの高速化、低価格化に伴い、その需要が著しく増加してきている。特に最近では、人の身の回りに存在する複数の電子機器間で小規模な無線ネットワークを構築して情報通信を行なうために、パーソナル・エリア・ネットワーク(PAN)の導入が検討されている。

[0004] 例えば、近年、「ウルトラワイドバンド(UWB)通信」と呼ばれる、極めて広い周波数帯域を使用して無線通信を行なう方式が、近距離超高速伝送を実現する無線通信システムとして注目され、その実用化が期待されている。現在、IEEE802. 15. 3などにおいて、ウルトラワイドバンド通信のアクセス制御方式として、プリアンブルを含んだパケット構造のデータ伝送方式が考案されている。

[0005] UWB通信では、例えばDS-SSやOFDMなどの変調方式が考えられている。前者のDS-SS方式によれば、情報信号にPN(Pseudo Noise:疑似雑音)符号と呼ばれるランダム符号系列を乗算することにより占有帯域を直接拡散(DS:Direct Spread)して送信し、受信側において、受信した拡散情報信号にPN符号を乗算するこ

とにより逆拡散して情報信号を再生する。例えば3GHzから10GHzという超高帯域な周波数帯域に拡散して送受信を行なうことにより高速データ伝送を実現することができる。

[0006] また、後者のOFDM(Orthogonal Frequency Division Multiplexing:直交周波数分割多重)方式によれば、各キャリアがシンボル区間内で相互に直交するように各キャリアの周波数が設定され、情報伝送時には、複数のデータを各キャリアに割り当ててキャリア毎に振幅及び位相の変調を行ない、その複数キャリアについて逆FFTを行なうことで周波数軸での各キャリアの直交性を保持したまま時間軸の信号に変換して送信する。また、受信時にはFFTを行なって時間軸の信号を周波数軸の信号に変換して各キャリアについてそれぞれの変調方式に対応した復調を行ない元のシリアル信号で送られた情報を再生する。送信データを周波数の異なる複数のキャリアに分配して伝送するので、各キャリアの帯域が狭帯域となり、周波数選択性フェージングの影響を受け難くなる。

[0007] ところで、無線通信機においては、無線信号の受信時において受信信号の電圧増幅を行なうことが一般的である。例えば、上述したウルトラワイドバンド通信においては、低雑音アンプ(LNA)によって高周波成分の電圧増幅を行なう。この際、UWBで使用される3GHz〜5GHzという2GHzにわたる広い周波数範囲において一括して電圧増幅を行なうことが望まれている。

[0008] 広帯域増幅器は、一般に、MOS-FET(Metal Oxide Semiconductor-Field Effect Transister)やバイポーラ・トランジスタなどで構成される増幅素子と、バンドパス・フィルタの組み合わせによって構成することができる(例えば、非特許文献1を参照のこと)。

[0009] 図8には、増幅素子と1次のバンドパス・フィルタ(BPF)の組み合わせで構成される広帯域増幅器の構成を示している(例えば、非特許文献2を参照のこと)。

[0010] 図示の通り、この広帯域増幅器は、MOS-FET又はバイポーラ・トランジスタで構成される増幅素子102のドレイン及びソースに、並列コイルLp103、並列キャパシタCp104、及び抵抗RL105からなるL-C-R並列共振回路からなる1次バンドパス・フィルタを負荷として並列に装荷して構成されている。

[0011] 図中の参照番号101はこの広帯域増幅器の入力端子を表し、参照番号108は広帯域増幅器の出力端子を表し、増幅素子102は電圧制御電流源(Voltage Controlled Current Source)として動作する。すなわち、入力端子101における電圧V1は、増幅素子102のゲートに印加され、増幅素子は、このゲート電圧V1をgm倍した電流を図中矢印の向きに出力する。このときの出力端子108の電圧をV2とする。

[0012] 図8に示した広帯域増幅器の伝達関数H(s)を下式に表す。

[0013] [数1]

$$H(s) = \frac{-s \cdot L_p \cdot R_L \cdot g_m}{s^2 \cdot L_p \cdot C_p \cdot R_L + s \cdot L_p + R_L}$$

[0014] また、図9には、図8に示した広帯域増幅器の極零配置をs-plane上で示している。同図において、零点を○で、極点を×で示している。そして、s-plane上では、伝達関数H(s)の分母が0となる点に極点が配置され、分子が0となる点に零点が配置される。図示の例では、s-planeの中央に零点が配置されるとともに、バンドパス・フィルタの次数に相当する個数の極点がs-planeの片側に現れる。

[0015] また、図10及び図11には、図8に示した広帯域増幅器の伝達特性例と群遅延特性をそれぞれ示している。但し、中心周波数を4GHzにして、 $g_m \times R_L = 1$ として正規化している。s-plane上において零点で $-\infty$ 、極点では $+\infty$ の伝達特性をそれぞれ持つとしたときのimaginary軸上での断面がバンドパス・フィルタの伝達特性に相当する。ここで、図10に示したように、通過帯(例えば、3GHz〜5GHz)を平坦にするようにL-C-R並列共振回路のパラメータ(すなわち図9にし召したs-plane伝達特性)を設定したバンドパス・フィルタをバタワース(Butterworth)フィルタと呼び、このような伝達特性をバタワース特性と言う。

[0016] しかしながら、図8に示したような増幅素子の負荷として、L-C-R並列共振回路からなる1次バンドパスを装荷して構成される広帯域増幅器の場合、図10及び図11からも判るように、以下の問題点がある。

- [0017] (1)周波数特性は単峰特性になり、広帯域で使用可能なほどの十分な平坦性は持たない。これは、1次バンドパス・フィルタは片側で次数分すなわち1個の極点しか持たないということにも依拠する。
- [0018] (2)図8のように比較的簡素な構成ではあるが、それでも群遅延時間がある。
- [0019] ここで、平坦性を保つ帯域幅を広げるには、コイル103のインダクタンス L_p を大きくするか、又は抵抗105の抵抗値 RL を小さくしなければならない。しかしながら、インダクタンス L_p を大きくすると、自己共振周波数が低いので、高周波での動作に適さなくなってしまう。また、抵抗値 RL を小さくすると、利得が低下してしまう。
- [0020] また、図12には、増幅素子と2次のバンドパス・フィルタ(BPF)の組み合わせで構成される広帯域増幅器の構成を示している。
- [0021] 図示の通り、この広帯域増幅器は、MOS-FET又はバイポーラ・トランジスタで構成される増幅素子102のドレイン及びソースに、2次バンドパス・フィルタを負荷として並列に装荷して構成されている。この2次バンドパス・フィルタは、並列コイル L_p 103及び並列キャパシタ C_p 104からなる L - C 並列共振回路と、直列コイル L_s 107及び直列キャパシタ C_s 106からなる L - C 直列共振回路と、抵抗 RL 105とで構成される。
- [0022] 図中の参照番号101はこの広帯域増幅器の入力端子を表し、参照番号108は広帯域増幅器の出力端子を表し、増幅素子102は電圧制御電流源として動作する。すなわち、入力端子101における電圧 V_1 は、増幅素子102のゲートに印加され、増幅素子は、このゲート電圧 V_1 を g_m 倍した電流を図中矢印の向きに出力する。このときの出力端子108の電圧を V_2 とする。
- [0023] 図12に示した広帯域増幅器の伝達関数 $H(s)$ を下式に表す。
- [0024] [数2]

$$H(s) = \frac{-s^2 \cdot L_p \cdot C_s \cdot RL \cdot g_m}{s^4 \cdot L_p \cdot L_s \cdot C_p \cdot C_s + s^3 \cdot L_p \cdot C_p \cdot C_s \cdot RL + s^2 \cdot (L_p \cdot C_p + L_s \cdot C_s + L_p \cdot C_s) + s \cdot C_s \cdot RL + 1}$$

- [0025] 図13には、図12に示した広帯域増幅器の極零配置を s -plane上で示している。同図において、零点を○で、極点を×で示している。 s -plane上では、伝達関数 $H(s)$

の分母が0となる点に極点が配置され、分子が0となる点に零点が配置される。図示の例では、 s -planeの中央に零点が配置されるとともに、バンドパス・フィルタの次数に相当する2個の極点が s -planeの片側に現れる。ここでは、通過帯(たとえば3GHz \sim 5GHz)を平坦にするためにバタワース特性としている。

[0026] また、図14及び図15には、図12に示した広帯域増幅器の伝達特性例と群遅延特性をそれぞれ示している。但し、中心周波数を4GHzにして、 $gm \times RL = 1$ として正規化している。

[0027] 図12に示したような増幅素子の負荷として2次バンドパスを装荷して構成される広帯域増幅器の場合、図10と図14との比較からも判るように通過帯における平坦特性は向上するものの、以下の問題点がある。

[0028] (1) 図11と比較して群遅延時間が長く、電圧帰還増幅回路に適さない。これは、増幅素子102の出力端子と増幅器としての出力端子108との間に直列コイル $Ls107$ 並びに直列キャパシタ $Cs106$ が直列的に挿入されており、この L - C 回路による共振が遅延の要因となることに依拠する。(図8に示した増幅器の場合、増幅素子102の出力端子がそのまま増幅器としての出力端子108となっており、このような群遅延の問題はない。)

[0029] (2) 増幅器の出力端子108に後段の回路(ダウンコンバータやAGC、A/D変換器など)が接続された場合、これが増幅器にとって寄生容量となるが、出力端子とGNDの間に容量素子が存在しないので、出力端子に付いた寄生容量を定数の一部として吸収することができず、周波数特性が劣化してしまう。

[0030] 図12に示した例では、直列キャパシタ $Cs106$ と寄生容量が直列接続された構成となるため、寄生容量の影響を除去することは困難である。これに対し、図8に示した例では、寄生容量に直列接続されるキャパシタはなく、並列キャパシタ Cp が寄生容量と並列接続された構成となっているので、並列キャパシタ $Cp104$ の容量を減じることで、寄生容量の問題を容易に取り除くことができる。

[0031] 非特許文献1: 柳沢健、神谷紀嘉共著「フィルタの理論と設計」(秋葉出版, 1986)
非特許文献2: Guillermo Gonzalez著“Microwave Transistor Amplifiers Analysis and Design”(pp. 170-172, Prentice Hall, 1984)

発明の開示

発明が解決しようとする課題

- [0032] 本発明の目的は、UWB通信で使用することが可能な、広い周波数範囲において一括して増幅を行なうことができる、優れた増幅器並びに通信装置を提供することにある。
- [0033] 本発明のさらなる目的は、広い周波数範囲において平坦な増幅特性を備え、寄生容量による劣化を防止し、且つ群遅延時間が短い、優れた増幅器並びに通信装置を提供することにある。

課題を解決するための手段

- [0034] 本発明は、上記課題を参酌してなされたものであり、増幅素子と、前記増幅素子の負荷として装荷された、 s -plane上で複数の極点及び該極点間に零点が配置されたバンドパス・フィルタと、を備えることを特徴とする増幅器である。
- [0035] s -plane上において零点で $-\infty$ 、極点では $+\infty$ の伝達特性をそれぞれ持つとしたときのimaginary軸上での断面が伝達特性に相当する。このことから、本発明に係る広帯域増幅器によれば、原点以外の場所に配置された零点とその近辺の極点との相互作用により、通過帯における平坦特性は向上する。具体的には、本実施形態に係る広帯域特性は、2次バンドパス・フィルタを増幅素子の負荷として装荷した場合の平坦特性に匹敵する。
- [0036] ここで、電流出力増幅素子の負荷としてのバンドパス・フィルタは、増幅素子に対し並列に装荷された L - C 並列共振回路及び L - C - R 直列共振回路とで構成される。
- [0037] この場合のバンドパス・フィルタは、前記増幅器の出力端子に対し直列的に装荷されたキャパシタを持たないことから、増幅素子の負荷として1次バンドパス・フィルタを適用した場合と同様に、群遅延時間の問題はない。
- [0038] また、この場合、前記増幅素子の出力端子と前記増幅器の出力端子の間にインダクタンス及びキャパシタが直列的に装荷されていない回路構造となる。したがって、増幅器の出力端子とGNDの間に容量素子が存在するので、増幅器の出力端子に後段の回路(ダウンコンバータやAGC、A/D変換器など)が接続された場合であつ

ても、出力端子に付いた寄生容量を定数の一部として吸収することにより、周波数特性の劣化を防ぐことができる。

[0039] また、本発明に係る増幅器をゲート接地回路及びカスコード回路と組み合わせることで、入力整合を広帯域化した広帯域増幅器を実現することができる。

[0040] あるいは、本発明に係る増幅器をソース接地回路及びカスコード回路及び電圧帰還回路と組み合わせることで、入力整合を広帯域化した広帯域増幅器を実現することができる。

発明の効果

[0041] 本発明によれば、広帯域に一定な伝達特性が得られるので広帯域増幅器を構成することができる。

[0042] また、本発明によれば、群遅延時間が短いので、電圧帰還増幅器を用いた広帯域増幅器を構成できる。

[0043] また、本発明によれば、出力端子とGNDの間に並列キャパシタがあるので、出力端子に寄生容量が付いても定数の一部として吸収することが可能で、周波数特性の劣化を防止することが可能である。

[0044] また、本発明によれば、ゲート接地回路及びカスコード回路と組み合わせることで、入力インピーダンス整合を広帯域化した、高利得の広帯域増幅器を構成できる。

[0045] また、本発明によれば、ソース接地回路及びカスコード回路及び電圧帰還回路と組み合わせることで、入力インピーダンス整合を広帯域化した、高利得の広帯域増幅器を構成することができる。

[0046] 本発明のさらに他の目的、特徴や利点は、後述する本発明の実施形態や添付する図面に基づくより詳細な説明によって明らかになるであろう。

発明を実施するための最良の形態

[0047] 以下、図面を参照しながら本発明の実施形態について詳解する。

[0048] 図1には、本発明の位置実施形態に係る広帯域増幅器の構成を示している。この広帯域増幅器は、概略的には、MOS-FETやバイポーラ・トランジスタなどで構成される増幅素子と、バンドパス・フィルタの組み合わせによって構成される。

[0049] より具体的には、広帯域増幅器は、電流出力型の増幅素子102のドレイン及びソ

ースに、並列コイル L_p103 及び並列キャパシタ C_p104 からなる $L-C$ 並列共振回路と、直列コイル L_s107 と直列キャパシタ C_s106 と抵抗 $RL105$ からなる $L-C-R$ 直列共振回路が、負荷として並列的に装荷して構成される。

[0050] 図中の参照番号101はこの広帯域増幅器の入力端子を表し、参照番号108は広帯域増幅器の出力端子を表し、増幅素子102は電圧制御電流源として動作する。すなわち、入力端子101における電圧 $V1$ は、増幅素子102のゲートに印加され、増幅素子は、このゲート電圧 $V1$ を gm 倍した電流を図中矢印の向きに出力する。このときの出力端子108の電圧を $V2$ とする。

[0051] 図1に示した広帯域増幅器の伝達関数 $H(s)$ を下式に表す。

[0052] [数3]

$$H(s) = \frac{-(s^3 \cdot L_p \cdot L_s \cdot C_s + s^2 \cdot L_p \cdot C_s \cdot RL \cdot gm + s \cdot L_p \cdot gm)}{s^4 \cdot L_p \cdot L_s \cdot C_p \cdot C_s + s^3 \cdot L_p \cdot C_p \cdot C_s \cdot RL + s^2 \cdot (L_p \cdot C_p + L_s \cdot C_s + L_p \cdot C_s) + s \cdot C_s \cdot RL + 1}$$

[0053] 図2には、図1に示した広帯域増幅器の極零配置を s -plane上で示している。同図において、零点を○で、極点を×で示している。ここでは、通過帯(たとえば3GHz〜5GHz)を平坦にするためにバターワース特性としている。また、図3及び図4には、図1に示した広帯域増幅器の伝達特性例と群遅延特性をそれぞれ示している。但し、中心周波数を4GHzにして、 $gm \times RL = 1$ として正規化している。

[0054] s -plane上では、伝達関数 $H(s)$ の分母が0となる点に極点が配置され、分子が0となる点に零点が配置される。図2に示す s -plane上では、 s -planeの中央に零点が配置されるとともに、バンドパス・フィルタの次数に相当する2個の極点が s -planeの片側に現れる。さらに、本実施形態では、直列コイル L_s と直列キャパシタ C_s と抵抗 R からなる $L-C-R$ 直列共振回路の配設により、原点以外の場所にも、2個の極点の間に零点を設けている。

[0055] s -plane上において零点で $-\infty$ 、極点では $+\infty$ の伝達特性をそれぞれ持つとした

ときのimaginary軸上での断面が伝達特性に相当する。このことから、原点以外の場所に配置された零点とその近辺の極点との相互作用により、通過帯における平坦特性は向上する。具体的には、本実施形態に係る広帯域特性は、2次バンドパス・フィルタを増幅素子の負荷として装荷した場合(図12を参照のこと)の伝達特性(図14を参照のこと)に匹敵する。

[0056] また、本実施形態に係る広帯域増幅器の場合、増幅素子102の出力端子がそのまま増幅器としての出力端子108となっていることから、増幅素子の負荷として1次バンドパス・フィルタを適用した場合(図8を参照のこと)と同様に、群遅延時間の問題はない。このことは、図4と図11の比較からも理解できよう。

[0057] また、本実施形態に係る広帯域増幅器の場合、図1を参照して判るように、並列キャパシタ104及び直列キャパシタ106は、いずれも出力端子に対し並列的に装荷されている。すなわち、増幅器の出力端子とGNDの間に容量素子が存在するので、増幅器の出力端子108に後段の回路(ダウンコンバータやAGC、A/D変換器など)が接続された場合であっても、出力端子に付いた寄生容量を定数の一部として吸収することにより、周波数特性の劣化を防ぐことができる。

[0058] 図5には、図1に示した広帯域増幅器において、電流出力増幅素子として、ゲート接地(Common-Gate)のカスコード増幅器(Cascode Amplifier)を適用した場合の構成例を示している。

[0059] 入力端子101はMOS-FET201のソースに接続され、入力信号が印加される。キャパシタ204は、MOS-FET201のゲートとGNDの間に接続され、MOSFET201のゲートを交流的に接地する。抵抗202は、MOS-FET201のゲートとバイアス端子203の間に接続され、MOS-FET201に所定のゲート電圧を供給する。MOS-FET301のソースはMOS-FET201のドレインに接続され、カスコード回路を構成する。

[0060] キャパシタ302は、MOS-FET301のゲートとGNDの間に接続され、MOS-FET301のゲートを交流的に接地する。MOS-FET301のゲートは、バイアス端子303に接続され、所定のゲート電圧が印加される。

[0061] 参照番号103と104はそれぞれL-C並列共振回路を構成する並列インダクタ L_p と

並列キャパシタ C_p である。また、参照番号107と106と105はL-C-R直列共振回路を構成する直列インダクタ L_s 、直列キャパシタ C_s 、及び抵抗 R_L である。これらL-C並列共振回路、及びL-C-R直列共振回路は、増幅素子の負荷として並列的に装荷されている。参照番号108は出力端子である。

- [0062] MOS-FET201はゲート接地であるので(ソースが入力となる)、そもそも入力インピーダンスが低く、インピーダンス整合を広帯域化することができるので、アンテナとのマッチングがよい。また、カスコード接続されたMOS-FET301のゲート幅 W はMOS-FET201のゲート幅 W とは独立に設定できるので、MOS-FET201のゲート幅 W を大きくして高利得化するのに適している。さらに、本発明の出力回路によって、広帯域に一定の電圧利得を得ることができる。
- [0063] また、図6には、図1に示した広帯域増幅器において、電流出力増幅素子として、ソース接地(Common-Source)のカスコード電圧帰還増幅器(Cascode Amplifier with Voltage feedback)を適用した場合の構成例を示している。
- [0064] 入力端子101はMOS-FET201のゲートに接続され、入力信号が印加される。MOS-FET201のソースはGNDに接地されている。また、MOS-FET301のソースはMOS-FET201のドレインに接続され、カスコード回路を構成している。
- [0065] キャパシタ302は、MOS-FET301のゲートとGNDの間に接続され、MOS-FET301のゲートを交流的に接地する。MOS-FET301のゲートはバイアス端子303に接続され、所定のゲート電圧が印加される。
- [0066] キャパシタ401は、MOS-FET301のドレインと抵抗402の間に接続され、電圧帰還の経路の直流を遮断する。抵抗402は、キャパシタ401とMOS-FET201のゲートの間に接続され、電圧帰還の帰還路を構成する。抵抗202は、抵抗402とバイアス端子203の間に接続され、MOS-FET201に所定のゲート電圧を供給する。
- [0067] 参照番号103と104は、それぞれL-C並列共振回路を構成する並列インダクタ L_p と並列キャパシタ C_p である。また、参照番号107と106と105は、L-C-R直列共振回路を構成する直列インダクタ L_s 、直列キャパシタ C_s 、及び抵抗 R_L である。これらL-C並列共振回路、及びL-C-R直列共振回路は、増幅素子の負荷として並列的に装荷されている。参照番号108は出力端子である。

- [0068] この場合、ゲートが入力となるので、インピーダンスが高くなるが、キャパシタ401と抵抗402の接続で形成される電圧帰還により、入力インピーダンスが低く、インピーダンス整合を広帯域化できるので、アンテナとのマッチングを図ることができる。また、MOS-FET301がカスコード接続されているので、MOS-FET201のドレインとゲート間のミラー容量が減少して高利得化に適している。さらに、本発明の出力回路によって広帯域に一定の電圧利得を得ることができる。
- [0069] 最後に、本実施形態に係る広帯域増幅器をLNAに適用した無線通信装置の構成について、図7を参照しながら説明する。
- [0070] 無線通信装置10は、例えば極めて広い周波数帯域を使用して無線通信を行なうUWB通信を行なう。図示の無線通信装置10は、送受信共用のアンテナ11及びバンドパス・フィルタ12を備え、送受信切替器13を介して、受信系統と送信系統に分岐される。
- [0071] 受信系統は、受信信号を電圧増幅する低雑音アンプ(LNA)14と、電圧増幅された受信信号を周波数変換によりダウンコンバートするダウンコンバータ15と、自動利得制御器(AGC)16と、アナログ-デジタル変換器17と、受信データのデジタル信号処理を行なう信号処理回路18で構成される。
- [0072] ここで、低雑音アンプ14として、図1に示した広帯域増幅器を使用することで、広い周波数範囲において一括して電圧増幅を行なうことができる。この場合、群遅延時間が短いので、電圧帰還増幅器を用いた広帯域増幅器を構成できる。また、ダウンコンバータ15以降の後段の回路が寄生容量として作用しても、出力端子とGNDの間に並列キャパシタがあるので、出力端子に寄生容量が付いても定数の一部として吸収することが可能で、周波数特性の劣化を防止することが可能である(前述)。
- [0073] 一方、送信系統では、送信データを信号処理するデジタル信号処理回路21と、送信データをアナログ信号に変換するデジタル-アナログ変換器22と、アナログ送信信号を周波数変換してアップコンバートするアップコンバータ23と、アップコンバートされた送信信号の電力を増幅するパワーアンプ(PA)24で構成される。

産業上の利用可能性

- [0074] 以上、特定の実施形態を参照しながら、本発明について詳解してきた。しかしなが

ら、本発明の要旨を逸脱しない範囲で当業者が該実施形態の修正や代用を成し得ることは自明である。

[0075] 本明細書では、広帯域増幅器を主に無線通信機の受信時における電圧増幅に適用した場合を中心に本発明の構成並びに作用効果について説明してきたが、本発明の要旨はこれに限定されるものではない。本発明に係る広帯域増幅器を、無線通信の送信時に適用した場合、あるいは無線通信以外の電圧増幅に適用した場合であっても、同様に本発明が実現可能であることは言うまでもない。

[0076] 要するに、例示という形態で本発明を開示してきたのであり、本明細書の記載内容を限定的に解釈するべきではない。本発明の要旨を判断するためには、特許請求の範囲の記載を参酌すべきである。

図面の簡単な説明

- [0077] [図1]本発明の一実施形態に係る広帯域増幅器の構成(従来例)を示した図である。
- [図2]図1に示した広帯域増幅器の極零配置をs-plane上で示した図である。
- [図3]図1に示した広帯域増幅器の伝達特性例を示した図である。
- [図4]図1に示した広帯域増幅器の群遅延特性例を示した図である。
- [図5]図1に示した広帯域増幅器において、電流出力増幅素子として、ゲート接地(Common-Gate)のカスコード増幅器(Cascode Amplifier)を適用した場合の構成例を示した図である。
- [図6]図1に示した広帯域増幅器において、電流出力増幅素子として、ソース接地(Common-Source)のカスコード電圧帰還増幅器(Cascode Amplifier with Voltage feedback)を適用した場合の構成例を示した図である。
- [図7]図1に示した広帯域増幅器をLNAに適用した無線通信装置の構成を示した図である。
- [図8]増幅素子と1次のバンドパス・フィルタ(BPF)の組み合わせで構成される広帯域増幅器の構成(従来例)を示した図である。
- [図9]図8に示した広帯域増幅器の極零配置をs-plane上で示した図である。
- [図10]図8に示した広帯域増幅器の伝達特性例を示した図である。
- [図11]図8に示した広帯域増幅器の群遅延特性例を示した図である。

[図12]増幅素子と2次のバンドパス・フィルタ(BPF)の組み合わせで構成される広帯域増幅器の構成(従来例)を示した図である。

[図13]図12に示した広帯域増幅器の極零配置をs-plane上で示した図である。

[図14]図12に示した広帯域増幅器の伝達特性例を示した図である。

[図15]図12に示した広帯域増幅器の群遅延特性例を示した図である。

符号の説明

- [0078] 10…無線通信装置
- 11…アンテナ
- 12…バンドパス・フィルタ(BPF)
- 13…送受信切替器
- 14…低雑音アンプ(LNA)
- 15…ダウンコンバータ
- 16…自動利得制御器(AGC)
- 17…アナログーデジタル変換器(ADC)
- 18, 21…信号処理回路(DSP)
- 22…デジタルーアナログ変換器(DAC)
- 23…アップコンバータ
- 24…電力増幅器(PA)
- 101…入力端子
- 102…増幅素子
- 103…並列コイル L_p
- 104…並列キャパシタ C_p
- 105…抵抗 R_L
- 106…直列キャパシタ C_s
- 107…直列コイル L_s
- 108…出力端子
- 201, 301…MOS-FET
- 202, 402…抵抗

203, 303…バイアス端子

204, 302, 401…キャパシタ

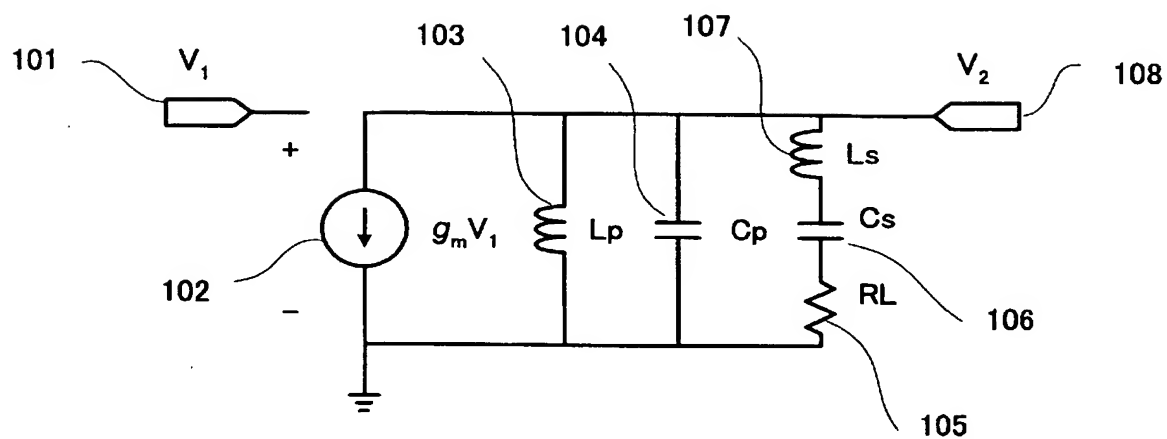
請求の範囲

- [1] 増幅素子と、
前記増幅素子の負荷として並列に装荷されたL-C並列共振回路及びL-C-R直列共振回路と、
を備えることを特徴とする増幅器。
- [2] 増幅素子と、
前記増幅素子の負荷として装荷された、s-plane上で複数の極点及び該極点間に零点が配置されたバンドパス・フィルタと、
を備えることを特徴とする増幅器。
- [3] 前記バンドパス・フィルタは、前記増幅器の出力端子に対し直列的に装荷されたキャパシタを持たない、
ことを特徴とする請求項2に記載の増幅器。
- [4] 前記増幅素子の出力端子と前記増幅器の出力端子の間にインダクタンス及びキャパシタが直列的に装荷されていない、
ことを特徴とする請求項2に記載の増幅器。
- [5] ゲート接地回路及びカスコード回路と組み合わせる、
ことを特徴とする請求項1又は2のいずれかに記載の増幅器。
- [6] ソース接地回路及びカスコード回路及び電圧帰還回路と組み合わせる、
ことを特徴とする請求項1又は2のいずれかに記載の増幅器。
- [7] アンテナと、バンドパス・フィルタと、受信信号を電圧増幅する低雑音アンプと、電圧増幅された受信信号を周波数変換によりダウンコンバートするダウンコンバータと、自動利得制御器と、アナログ-デジタル変換器と、受信データのデジタル信号処理を行なう信号処理回路を備え、
前記低雑音アンプは請求項1又は2のいずれかに記載の増幅器により構成される、
ことを特徴とする無線通信装置。
- [8] アンテナと、バンドパス・フィルタと、受信信号を電圧増幅する低雑音アンプと、電圧増幅された受信信号を周波数変換によりダウンコンバートするダウンコンバータと、自動利得制御器と、アナログ-デジタル変換器と、送信データをアナログ信号に変換す

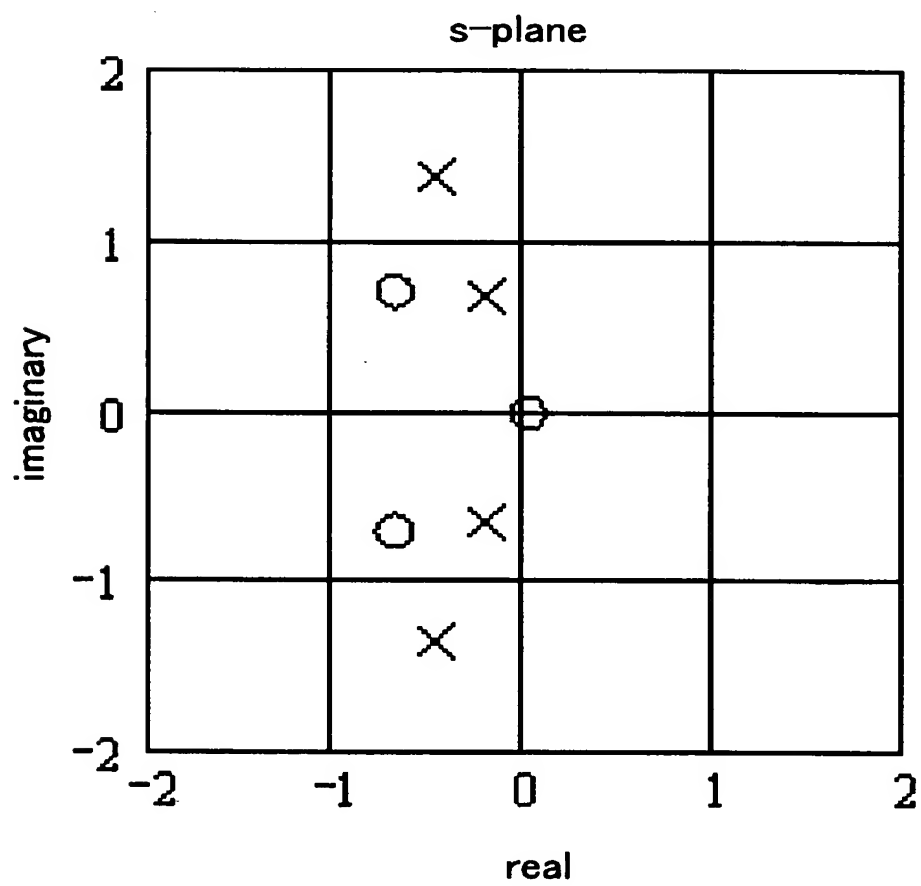
るデジタル-アナログ変換器と、アナログ送信信号を周波数変換してアップコンバートするアップコンバータと、アップコンバートされた送信信号の電力を増幅するパワーアンプと、送受信データのデジタル信号処理を行なう信号処理回路を備え、

前記低雑音アンプは請求項1又は2のいずれかに記載の増幅器により構成される、ことを特徴とする無線通信装置。

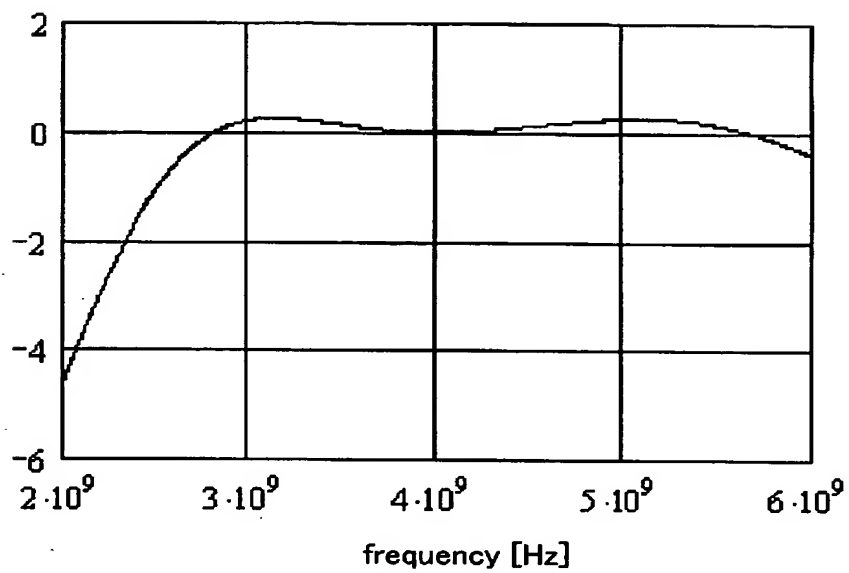
[図1]



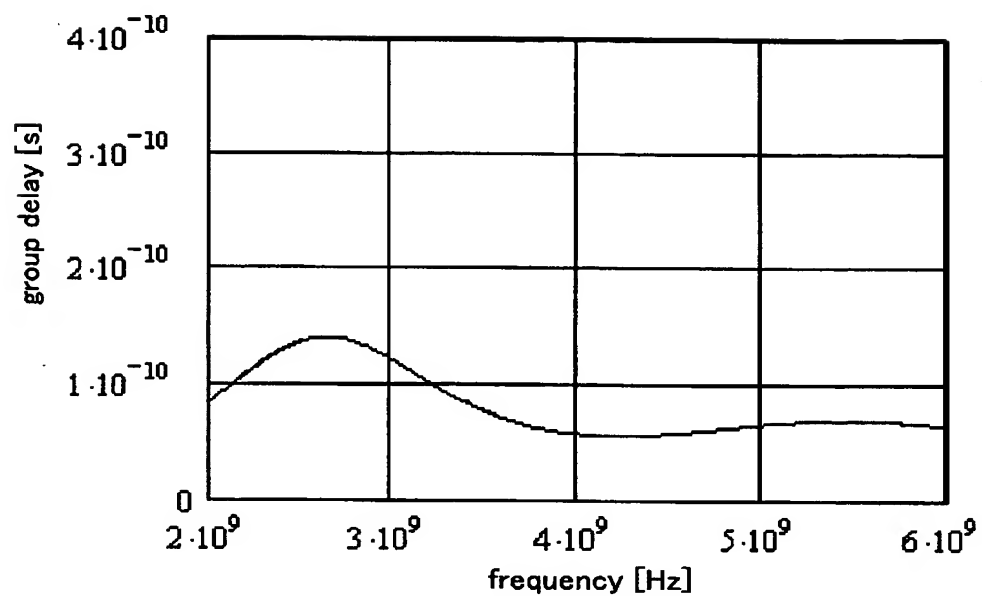
[図2]



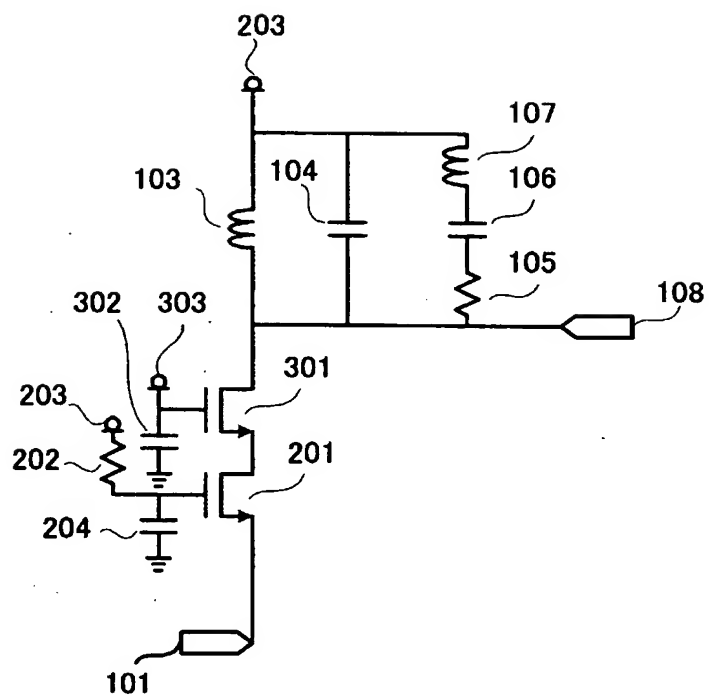
[図3]



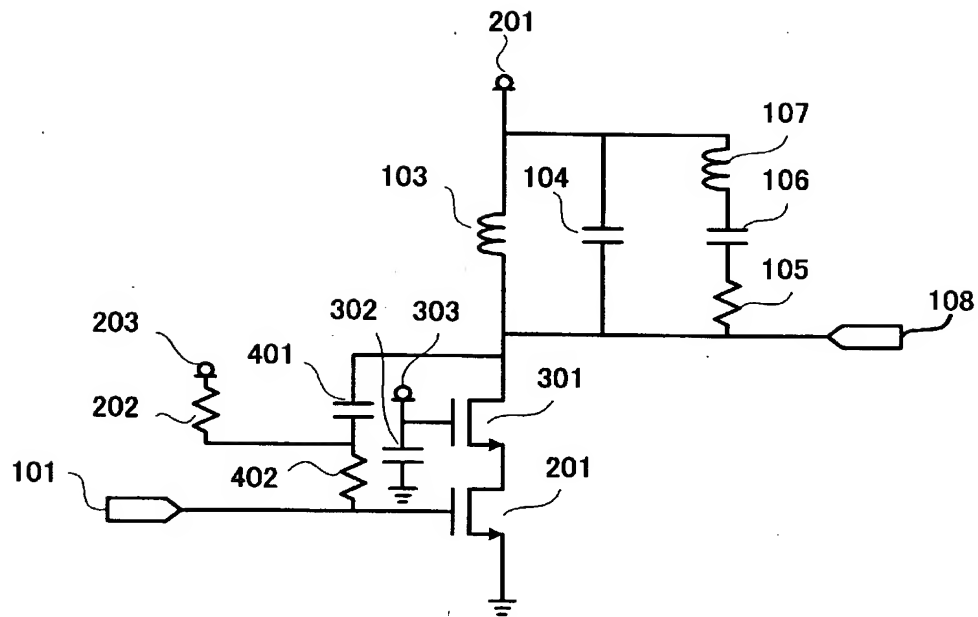
[図4]



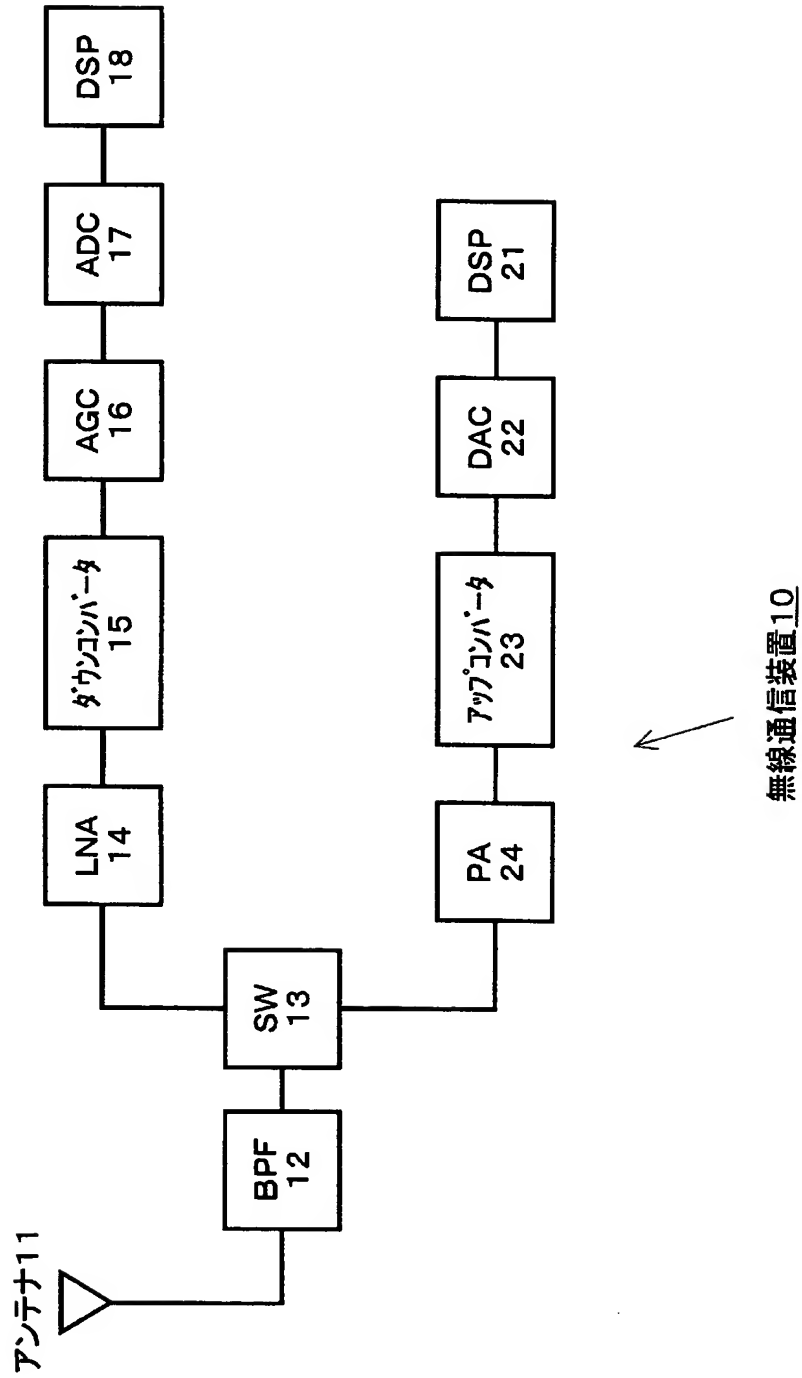
[図5]



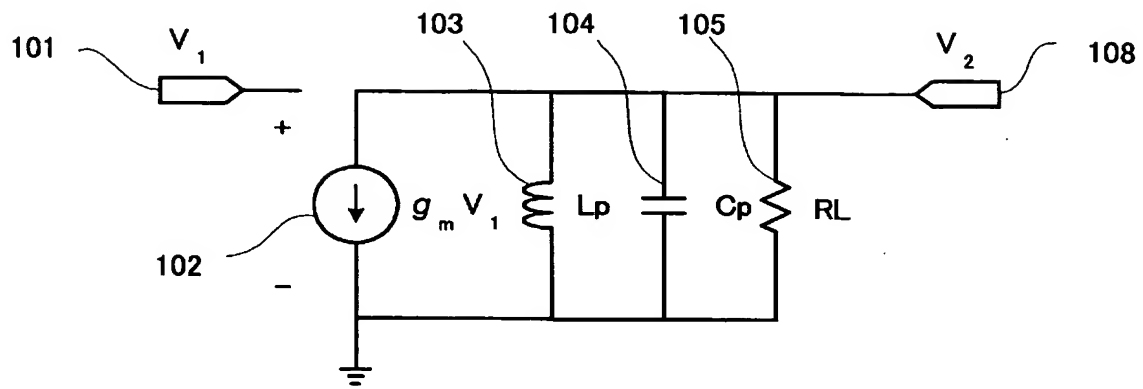
[図6]



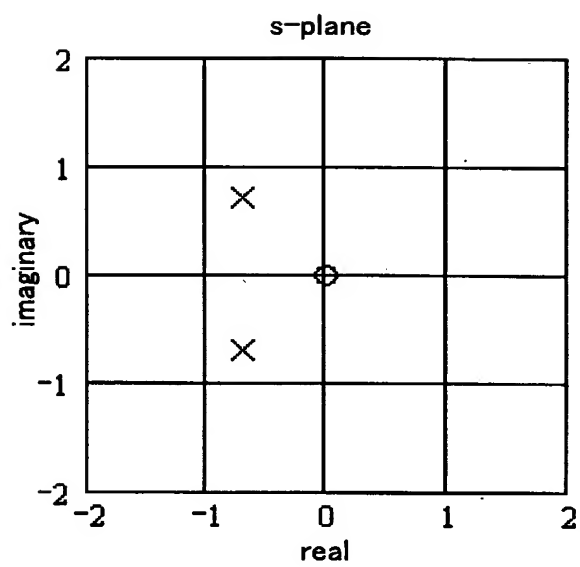
[図7]



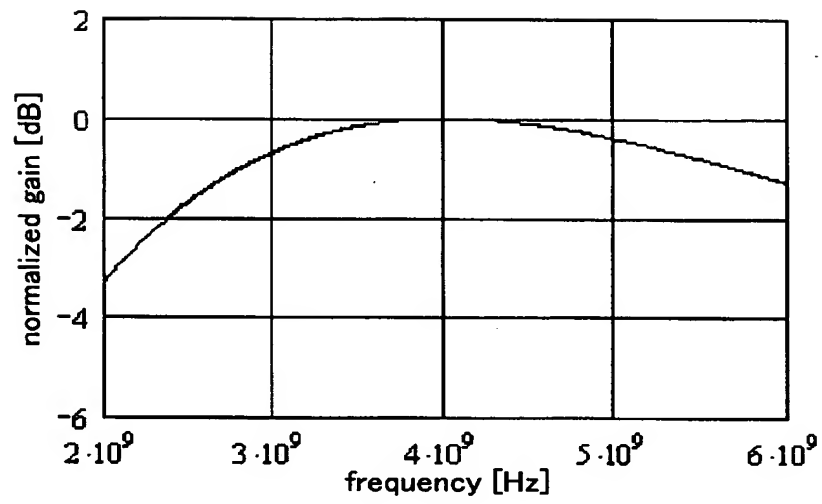
[図8]



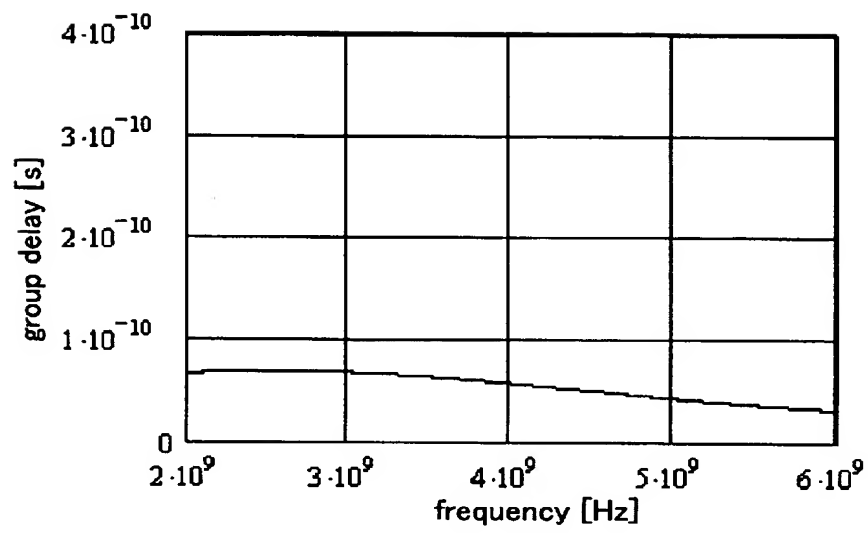
[図9]



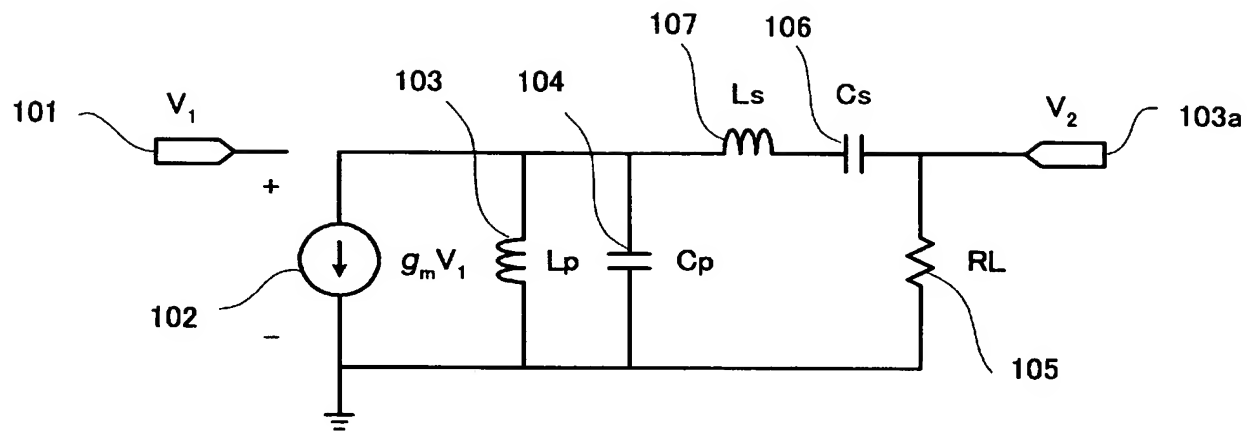
[図10]



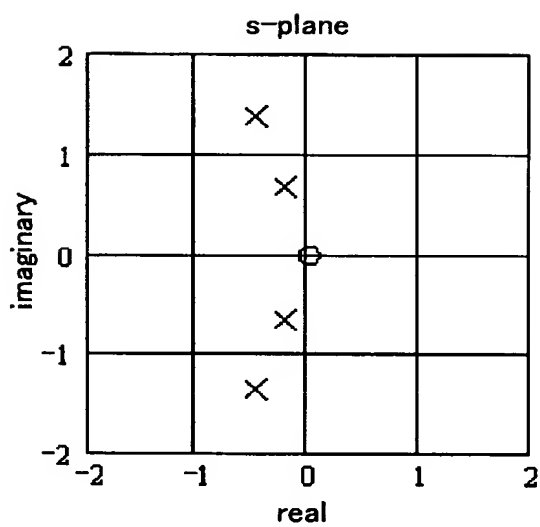
[図11]



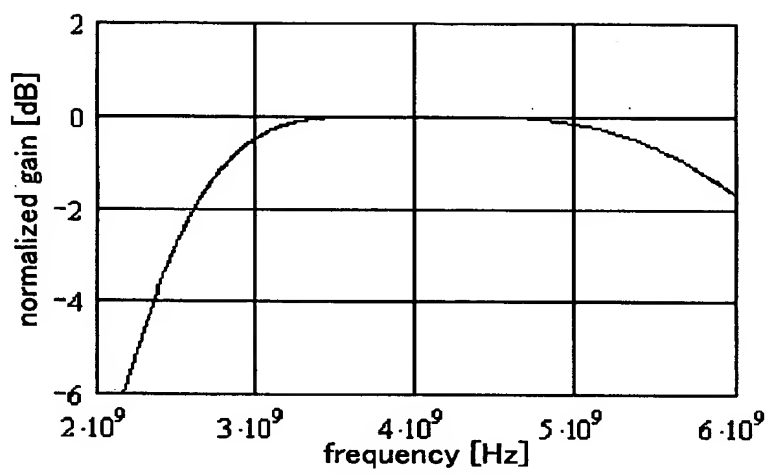
[図12]



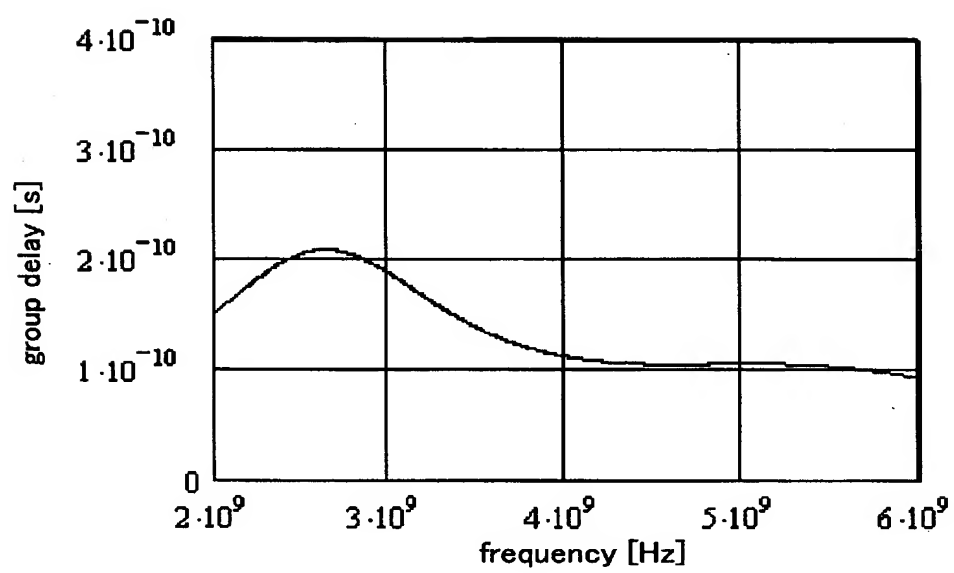
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/016961

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H03F1/44, H03F3/193

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H03F1/44, H03F3/193

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Jitsuyo Shinan Toroku Koho 1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 62-200902 A (Matsushita Electric Industrial Co., Ltd.), 04 September, 1987 (04.09.87), (Family: none)	1-8
A	JP 8-51340 A (Taiyo Yuden Co., Ltd.), 20 February, 1996 (20.02.96), (Family: none)	1-8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 March, 2005 (10.03.05)

Date of mailing of the international search report
29 March, 2005 (29.03.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H03F1/44 H03F3/193

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H03F1/44 H03F3/193

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国登録実用新案公報	1994-2005年
日本国実用新案登録公報	1996-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 62-200902 A (松下電器産業株式会社) 1987.09.04 (ファミリーなし)	1-8
A	JP 8-51340 A (太陽誘電株式会社) 1996.02.20 (ファミリーなし)	1-8

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日
10.03.2005

国際調査報告の発送日
29.3.2005

国際調査機関の名称及びあて先
日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
佐藤 敬介

5W 9196

電話番号 03-3581-1101 内線 3575